

(11)Publication number : 2001-101364
(43)Date of publication of application : 13.04.2001

(71)Applicant : FUJITSU LTD
(72)Inventor : NARUSE TOMOKI

[illegible]

2005/04/20

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-101364
(P2001-101364A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.⁷
G 0 6 K 19/07

識別記号

F I
G 0 6 K 19/00

テーマコード(参考)
N

審査請求 未請求 請求項の数 1 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平11-280915

(22) 出願日 平成11年10月1日 (1999.10.1)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 成瀬 智己

東京都品川区大崎2丁目8番8号 富士通
デバイス株式会社内

(74) 代理人 100092174

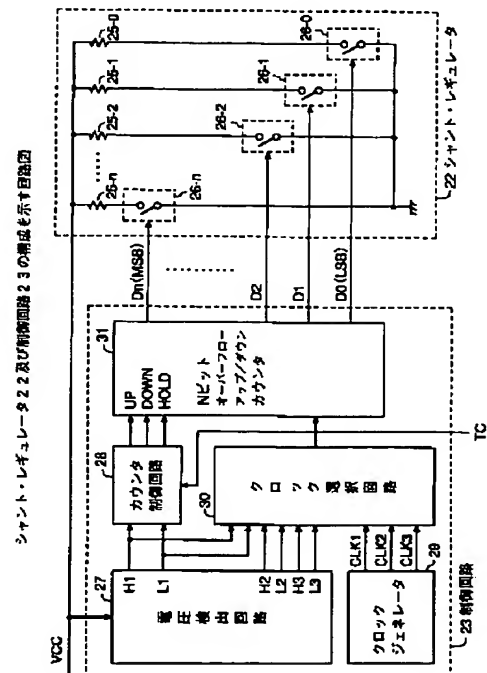
弁理士 平戸 哲夫

(54) 【発明の名称】 非接触 IC カード用 L S I

(57) 【要約】

【課題】電力をリード/ライト・ユニットから供給される非接触 IC カードを構成する非接触 IC カード用 L S I に関し、安定な電源環境を得ることができるようにし、電源電圧の変動による通信異常等を回避することができるようにする。

【解決手段】シャント抵抗 $25-k$ の抵抗値を [一定値] $\times 2^{n-k}$ とし、接続スイッチ回路 $26-0 \sim 26-n$ に N ビット・オーバーフロー・アップ/ダウン・カウンタ 31 の出力信号 $D0 \sim Dn$ を供給し、電源電圧 VCC が基準電圧範囲の上限値より高くなった時は、シャント・レギュレータ 22 のシャント抵抗値が徐々に小さくなり、電源電圧 VCC が基準電圧範囲の下限値より低くなった時は、シャント・レギュレータ 22 のシャント抵抗値が徐々に大きくなるようにし、レギュレーション量を一定とし、変動した電源電圧 VCC を基準電圧範囲に戻す。



【特許請求の範囲】

【請求項 1】 受信信号を整流して電源電圧を生成する整流回路を備える非接触 IC カード用 LSI であって、前記電源電圧の供給路と接地との間に接続され、シャント抵抗値を制御可能とされたシャント・レギュレータと、前記電源電圧が基準電圧範囲の上限值より高くなった時は、シャント抵抗値が徐々に小さくなり、前記電源電圧が前記基準電圧範囲の下限值より低くなった時は、シャント抵抗値が徐々に大きくなり、前記電源電圧が前記基準電圧範囲にある時は、シャント抵抗値を変化させないように、前記シャント・レギュレータを制御する制御回路を備えていることを特徴とする非接触 IC カード用 LSI。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、必要とする電力をリード/ライト・ユニットから供給される非接触 IC カードを構成するために使用する非接触 IC カード用の半導体集積回路、いわゆる、非接触 IC カード用 LSI に関する。

【0002】 リード/ライト・ユニットから非接触 IC カードに対する電力の供給は、例えば、リード/ライト・ユニットのアンテナコイルと非接触 IC カードのアンテナコイルとを電磁結合することによって行われるが、この場合、非接触 IC カードで得られる電力は、リード/ライト・ユニットと非接触 IC カードとの通信距離や、リード/ライト・ユニットからの供給電力に大きく依存する。

【0003】 この種の非接触 IC カードにおいては、その使用態様・特性からして、非接触 IC カードがリード/ライト・ユニットと通信中に両者の距離が変動し、非接触 IC カードに供給される電力が急激に変化することが予想でき、この場合、誤動作や、誤動作によるデータの損失や、通信異常などを起こす可能性が大きい。

【0004】 また、非接触 IC カードがリード/ライト・ユニットと通信中に、非接触 IC カード内の CPU やメモリやロジック回路などが動作することにより、電源電圧が急激な電圧降下を起こすことがあり、この場合にも、誤動作や、誤動作によるデータの損失や、通信異常などを起こす可能性が大きい。

【0005】 そこで、非接触 IC カードを構成するために使用する非接触 IC カード用 LSI は、電源電圧の安定化を図ることができ、電源電圧の変動による誤動作や、電源電圧の変動による誤動作が招くデータの損失や、電源電圧の変動による通信異常などを回避することができるものであることが要求される。

【0006】

【従来の技術】 図 13 は従来の非接触 IC カード用 LSI の一例を含む非接触 IC カード・システムの要部を示

す回路図であり、図 13 中、1 はリード/ライト・ユニット、2 はリード/ライト・ユニット 1 のアンテナコイル、3 は非接触 IC カード、4 は非接触 IC カード 3 のアンテナコイル、5 は従来の非接触 IC カード用 LSI の一例である。

【0007】 また、従来の非接触 IC カード用 LSI 5 において、6 はアンテナコイル 4 によって得られる受信信号を整流して電源電圧 VCC を生成する整流回路、7 は CPU やメモリやロジック回路などを含むデータ処理回路、8 は電源電圧 VCC の安定化を図るためのシャント・レギュレータであり、9 はシャント抵抗、10 はシャント制御信号により ON、OFF が制御されるスイッチである。

【0008】 従来の非接触 IC カード用 LSI 5 は、電源電圧 VCC が所定の電圧値よりも高くなった時は、シャント・レギュレータ 8 のスイッチ 10 を ON とすることによってシャント抵抗 9 にシャント電流を流し、電源電圧 VCC を所定の電圧値以下に下げ、電源電圧 VCC の安定化を図るというものである。

【0009】

【発明が解決しようとする課題】 しかし、シャント・レギュレータ 8 は、電源電圧 VCC が所定の電圧値よりも低くなった時には、電源電圧 VCC を強制的に上昇させることができず、また、1 個のシャント抵抗 9 しか備えていないため、電源電圧 VCC の変動量に対応させてシャント抵抗値を変化させることができず、電源電圧 VCC の安定化を効率的に行うことができない。

【0010】 このため、従来の非接触 IC カード用 LSI 5 は、電源電圧 VCC の変動による誤動作や、電源電圧 VCC の変動による誤動作が招くデータの損失や、電源電圧 VCC の変動による通信異常などを回避することができないという問題点を有していた。

【0011】 本発明は、かかる点に鑑み、安定な電源環境を得ることができるようにし、電源電圧の変動による誤動作や、電源電圧の変動による誤動作が招くデータの損失や、電源電圧の変動による通信異常などを回避することができるようにした非接触 IC カード用 LSI を提供することを目的とする。

【0012】

【課題を解決するための手段】 本発明の非接触 IC カード用 LSI は、受信信号を整流して電源電圧を生成する整流回路を備える非接触 IC カード用 LSI であって、電源電圧の供給路と接地との間に接続され、シャント抵抗値を制御可能とされたシャント・レギュレータと、電源電圧が基準電圧範囲の上限值より高くなった時は、シャント抵抗値が徐々に小さくなり、電源電圧が基準電圧範囲の下限值より低くなった時は、シャント抵抗値が徐々に大きくなり、電源電圧が基準電圧範囲にある時は、シャント抵抗値を変化させないように、シャント・レギュレータを制御する制御回路を備えているというもので

ある。

【0013】本発明においては、シャント・レギュレータは、制御回路によって、電源電圧が基準電圧範囲の上限値より高くなった時は、シャント抵抗値が徐々に小さくなり、電源電圧が基準電圧範囲の下限値より低くなった時は、シャント抵抗値が徐々に大きくなり、電源電圧が基準電圧範囲にある時は、シャント抵抗値を変化させないように制御される。したがって、電源電圧が変動した場合、シャント・レギュレータにおけるレギュレーション量を有効に調整して電源電圧を高速に基準電圧範囲に戻すことができる。

【0014】

【発明の実施の形態】以下、図1～図12を参照して、本発明の第1実施形態～第3実施形態について説明する。

【0015】第1実施形態・図1～図8

図1は本発明の第1実施形態を含む非接触ICカード・システムの要部を示す回路図であり、図1中、11はリード/ライト・ユニット、12はリード/ライト・ユニット11のアンテナコイル、13は本発明の第1実施形態を使用した非接触ICカード、14は非接触ICカード13のアンテナコイル、15は本発明の第1実施形態である。

【0016】本発明の第1実施形態15において、16はアンテナコイル14によって得られる受信信号を整流して電源電圧VCCを生成する整流回路、17はアンテナコイル14によって得られる受信信号を検波して内部動作クロック信号を出力する検波回路である。

【0017】また、18はCPUやメモリやロジック回路などを含むデータ処理回路、19は整流回路16の出力をASK（振幅偏移）復調して受信データをデータ処理回路18に出力するASK復調回路である。

【0018】また、20はデータ処理回路18から与えられる送信データをPSK（位相偏移）変調するPSK変調回路、21は変調送信データを電源電圧VCC上（伝送キャリア上）に乗せるためのロード・スイッチ変調回路である。

【0019】また、22は電源電圧VCCの安定化を図るためのシャント・レギュレータ、23はその出力信号D0（LSB）～Dn（MSB）によってシャント・レギュレータ22内の接続スイッチのON、OFF制御及びロード・スイッチ変調回路21内の接続スイッチのON、OFF制御を行う制御回路である。

【0020】また、24はPSK変調回路20から出力されるロード信号LOADに制御されて制御回路23の出力信号D0～Dnのロード・スイッチ変調回路21への供給を制御する接続スイッチ回路である。

【0021】図2はシャント・レギュレータ22及び制御回路23の構成を示す回路図であり、図2中、シャント・レギュレータ22において、25-0、25-1、

25-2、25-nはシャント抵抗であり、シャント抵抗25-2、25-n間に設けられているシャント抵抗25-3～25-(n-1)は図示を省略している。

【0022】ここに、シャント抵抗25-nの抵抗値をRSとすると、シャント抵抗25-0、25-1、25-2、25-(n-1)の抵抗値は、それぞれ、 $RS \times 2^n$ 、 $RS \times 2^{n-1}$ 、 $RS \times 2^{n-2}$ 、 $RS \times 2$ とされている。すなわち、シャント抵抗25-kの抵抗値は、 $RS \times 2^{n-k}$ とされている。

【0023】また、26-0、26-1、26-2、26-nは制御回路23の出力信号D0、D1、D2、Dnが、それぞれ、スイッチ制御信号として供給される接続スイッチ回路であり、シャント抵抗25-3～25-(n-1)に対応して設けられ、制御回路23の出力信号D3～D(n-1)が、それぞれ、スイッチ制御信号として供給される接続スイッチ回路26-3～26-(n-1)は図示を省略している。

【0024】また、制御回路23において、27は電源電圧VCCが、本発明の第1実施形態15が安定的に動作する基準電圧範囲に対して、どの程度変動しているかを検出して、電圧検出信号H3、H2、H1、L1、L2、L3を出力する電圧検出回路であり、表1は電圧検出回路27の機能表である。但し、 $VH3 > VH2 > VH1 > VL1 > VL2 > VL3$ の関係にある。

【0025】

【表1】

電圧検出回路27の機能表

VCC	H3	H2	H1	L1	L2	L3
$VCC \geq VH3$	H	H	H	H	H	H
$VH3 \geq VCC > VH2$	L	H	H	H	H	H
$VH2 \geq VCC > VH1$	L	L	H	H	H	H
$VH1 \geq VCC \geq VL1$	L	L	L	H	H	H
$VL1 > VCC \geq VL2$	L	L	L	L	H	H
$VL2 > VCC \geq VL3$	L	L	L	L	L	H
$VL3 > VCC$	L	L	L	L	L	L

【0026】本発明の第1実施形態においては、電圧値VH1を上限値、電圧値VL1を下限値とする電圧範囲VH1～VL1が本発明の第1実施形態が安定的に動作する基準電圧範囲とされており、電源電圧VCCが基準電圧範囲VH1～VL1を越えた場合に、電源電圧VCCが基準電圧範囲VH1～VL1に戻るよう電源電圧VCCが制御される。

【0027】なお、このような電圧検出回路27は、電

5

源電圧VCCが電圧値VH3以上か否かを検出する電圧検出器と、電源電圧VCCが電圧値VH2以上か否かを検出する電圧検出器と、電源電圧VCCが電圧値VH1以上か否かを検出する電圧検出器と、電源電圧VCCが電圧値VL1以上か否かを検出する電圧検出器と、電源電圧VCCが電圧値VL2以上か否かを検出する電圧検出器と、電源電圧VCCが電圧値VL3以上か否かを検出する電圧検出器とを設けることで構成することができる。

【0028】また、28は電圧検出回路27から出力される電圧検出信号H1、L1を入力してカウンタ制御信号UP、DOWN、HOLDを出力するカウンタ制御回路であり、表2はカウンタ制御回路28の機能表である。但し、UP及びHOLDがともにHレベルの場合には、HOLDが優先される。

【0029】

【表2】

カウンタ制御回路28の機能表

H1	L1	UP	DOWN	HOLD
H	H	H	L	L
L	H	H	L	H
L	L	L	H	L

【0030】なお、カウンタ制御回路28は、データ送信時には、データ処理回路18から出力される送信制御信号TCに制御され、カウンタ制御信号UP=Hレベル、DOWN=Lレベル、HOLD=Hレベルとするように動作する。

【0031】また、29は周波数の異なる3種類のクロックCLK1、CLK2、CLK3（但し、クロックCLK1の周波数>クロックCLK2の周波数>クロックCLK3の周波数）を発生するクロック・ジェネレータである。

【0032】また、30はクロック・ジェネレータ29から出力されるクロックCLK1、CLK2、CLK3の選択を行うクロック選択回路であり、表3はクロック選択回路30の機能表である。

【0033】

【表3】

6

クロック選択回路30の機能表

H3	H2	H1	L1	L2	L3	選択されるクロック
H	H	H	H	H	H	CLK1
L	H	H	H	H	H	CLK2
L	L	H	H	H	H	CLK3
L	L	L	H	H	H	
L	L	L	L	H	H	CLK3
L	L	L	L	L	H	CLK2
L	L	L	L	L	L	CLK1

【0034】したがって、また、電源電圧VCCの電圧値と、クロック選択回路30により選択されるクロックとの関係は、表4に示すようになる。

【0035】

【表4】

電源電圧VCCの電圧値と、クロック選択回路30により選択されるクロックとの関係

VCC	選択されるクロック
$VCC \geq VH3$	CLK1
$VH3 \geq VCC > VH2$	CLK2
$VH2 \geq VCC > VH1$	CLK3
$VH1 \geq VCC \geq VL1$	
$VL1 > VCC \geq VL2$	CLK3
$VL2 > VCC \geq VL3$	CLK2
$VL3 > VCC$	CLK1

【0036】また、31はカウンタ制御回路28から出力されるカウンタ制御信号UP、DOWN、HOLDによってカウンタ動作が制御されるNビット・オーバーフロー・アップ/ダウン・カウンタであり、クロック選択回路30によって選択されたクロックをカウンタクロックとして、カウンタ値D0（LSB）、D1、D2・・・Dn（MSB）を制御回路23の出力信号として出力するものである。

【0037】表5はNビット・オーバーフロー・アップ/ダウン・カウンタ31の機能表である。但し、アップカウンタ動作によりオーバーフローした時及びダウンカウンタ動作によりオーバーフローした時は、カウンタ動作を停止する。

【0038】

【表5】

Nビット・オーバーフロー・アップ/ダウン・カウンタ31の機能表

UP	DOWN	HOLD	カウンタ31の動作
H	L	L	アップカウント
H	L	H	ホールド
L	H	L	ダウンカウント

【0039】図3は接続スイッチ回路26-k ($k=1, 2, \dots, n$)の構成を示す回路図であり、図3中、32-kは制御回路23の出力信号Dkを遅延する遅延回路であり、33-k、34-kはインバータである。

【0040】インバータ33-kにおいて、35-kはpMOSトランジスタ、36-kはnMOSトランジスタであり、インバータ34-kにおいて、37-kはpMOSトランジスタ、38-kはnMOSトランジスタである。また、39-kは接続スイッチをなすnMOSトランジスタである。

【0041】ここに、制御回路23の出力信号Dk=Hレベルの場合には、インバータ33-kの出力=Lレベル、インバータ34-kの出力=Hレベルとなり、nMOSトランジスタ39-k=ONとなる。

【0042】これに対して、制御回路23の出力信号Dk=Lレベルの場合には、インバータ33-kの出力=Hレベル、インバータ34-kの出力=Lレベルとなり、nMOSトランジスタ39-k=OFFとなる。

【0043】したがって、シャント・レギュレータ22におけるレギュレータ量は、制御回路23の出力信号D0~Dnで決定されることになる。

【0044】なお、本発明の第1実施形態においては、nMOSトランジスタ36-kは、そのゲート幅をnMOSトランジスタ38-kのゲート幅よりも小とされ、nMOSトランジスタ36-kの電流駆動能力（プルダウン能力）は、nMOSトランジスタ38-kの電流駆動能力（プルアップ能力）よりも小とされている。

【0045】すなわち、インバータ33-kの出力信号S33-kの立ち上がりエッジに対するインバータ34-kの遅延時間を t_a とすると、制御回路23の出力信号Dkの立ち上がりエッジに対するインバータ33-kの遅延時間が $(t_a + t_c)$ となるように構成されている。

【0046】また、pMOSトランジスタ37-kは、そのゲート幅をpMOSトランジスタ35-kのゲート幅よりも小とされ、pMOSトランジスタ37-kの電流駆動能力（プルアップ能力）は、pMOSトランジスタ35-kの電流駆動能力（プルアップ能力）よりも小とされている。

【0047】すなわち、制御回路23の出力信号Dkの立ち下がりエッジに対するインバータ33-kの遅延時

間を t_b とすると、インバータ33-kの出力信号S33-kの立ち下がりエッジに対するインバータ34-kの遅延時間が $(t_b + t_d)$ となるように構成されている。

【0048】図4は遅延回路32-kの動作を示す波形図であり、図4Aは制御回路23の出力信号Dk、図4Bはインバータ33-kの出力信号S33-k、図4Cはインバータ34-kの出力信号S34-kを示している。

【0049】すなわち、制御回路23の出力信号Dkの立ち上がりエッジに対する遅延回路32-kの遅延時間は、 $(t_a + t_b + t_c + t_d)$ となり、制御回路23の出力信号Dkの立ち下がりエッジに対する遅延回路32-kの遅延時間は、 $(t_a + t_b)$ となり、遅延回路32-kにおいては、制御回路23の出力信号Dkの立ち上がりエッジの遅延時間は、立ち下がりエッジに対する遅延時間よりも長くなる。

【0050】このように、制御回路23の出力信号Dkの立ち上がりエッジの遅延時間が立ち下がりエッジの遅延時間よりも長くなるようにしているのは、制御回路23の出力信号D0~Dnのうち、HレベルからLレベルに変化する出力信号と、LレベルからHレベルに変化する出力信号とがある場合に、これらの出力信号が同時にHレベルとなる状態を回避するためである。

【0051】図5はロード・スイッチ変調回路21及び接続スイッチ回路24の構成を示す回路図であり、図5中、ロード・スイッチ変調回路21において、40-0、40-1、40-2、40-nはロード抵抗であり、ロード抵抗40-2、40-n間に設けられているロード抵抗40-3~40-(n-1)は図示を省略している。

【0052】また、41-0、41-1、41-2、41-nは制御回路23の出力D0、D1、D2、Dnがスイッチ制御信号として入力される接続スイッチ回路であり、ロード抵抗40-3~40-(n-1)に対応して設けられ、制御回路23の出力D3~D(n-1)がスイッチ制御信号として供給される接続スイッチ回路41-3~41-(n-1)は図示を省略している。

【0053】ここに、ロード抵抗40-nの抵抗値をR_Lとすると、ロード抵抗40-0、40-1、40-2、40-(n-1)の抵抗値は、それぞれ、 $R_L \times 2$

n 、 $RL \times 2^{n-1}$ 、 $RL \times 2^{n-2}$ 、 $RL \times 2$ とされている。すなわち、ロード抵抗 $40-k$ の抵抗値は、 $RL \times 2^{n-k}$ とされている。

【0054】また、接続スイッチ回路24において、 $42-0$ 、 $42-1$ 、 $42-2$ 、 $41-n$ はロード信号LOADによってON、OFFが制御される接続スイッチであり、ロード信号LOAD=Hレベルの時（データ送信時）はON、ロード信号LOAD=Lレベルの時（データ受信時）はOFFとなる。なお、接続スイッチ $42-2$ 、 $42-(n-1)$ 間に設けられている接続スイッチ $42-3 \sim 42-(n-1)$ は図示を省略している。

【0055】このように構成された非接触ICカード・システムにおいては、リード/ライト・ユニット11のアンテナコイル12と非接触ICカード13のアンテナコイル14とを電磁結合させることにより、リード/ライト・ユニット11と非接触ICカード13との間での通信が可能となる。

【0056】そして、本発明の第1実施形態15においては、整流回路16は、アンテナコイル14によって得られる受信信号を整流して電源電圧VCCを生成し、これをデータ処理回路18等に供給する。

【0057】ここに、例えば、図6に示すように、何らかの原因で電源電圧VCCが電圧値VH1～VH2の間の電圧値VAに変動した時は、電圧検出回路27から出力される電圧検出信号H3、H2、H1、L1、L2、L3は、
H3=Lレベル、H2=Lレベル、H1=Hレベル
L1=Hレベル、L2=Hレベル、L3=Hレベル
となる。

【0058】この結果、カウンタ制御回路28から出力されるカウンタ制御信号UP、DOWN、HOLDは、
UP=Hレベル、DOWN=Lレベル、HOLD=Lレベル

となり、Nビット・オーバーフロー・アップ/ダウン・カウンタ31は、アップカウント動作を指示されると共に、クロック選択回路30は、周波数の最も低いクロックCLK3を選択して、これをNビット・オーバーフロー・アップ/ダウン・カウンタ31に供給する。

【0059】この結果、Nビット・オーバーフロー・アップ/ダウン・カウンタ31は、クロックCLK3をアップカウントすることになるので、その出力信号D0～Dnは現在値から順にインクリメントし、シャント・レギュレータ22のシャント抵抗値は現在値から徐々に小さくなり、電源電圧VCCは電圧値VAから徐々に降下する。

【0060】そして、電源電圧VCCが電圧値VH1に降下すると、電圧検出回路27から出力される電圧検出信号H3、H2、H1、L1、L2、L3は、
H3=Lレベル、H2=Lレベル、H1=Lレベル
L1=Hレベル、L2=Hレベル、L3=Hレベル

となる。

【0061】この結果、カウンタ制御回路28から出力されるカウンタ制御信号UP、DOWN、HOLDは、
UP=Hレベル、DOWN=Lレベル、HOLD=Hレベル

となり、Nビット・オーバーフロー・アップ/ダウン・カウンタ31はホールド動作を指示される。

【0062】このようになると、電源電圧VCCが基準電圧範囲VH1～VL1にある限り、シャント・レギュレータ22は、現在の電源電圧VCCを維持するように電源電圧VCCを制御することになる。

【0063】また、例えば、図7に示すように、何らかの原因で電源電圧VCCが電圧値L1～L2の間の電圧値VBとなった時は、電圧検出回路27から出力される電圧検出信号H3、H2、H1、L1、L2、L3は、
H3=Lレベル、H2=Lレベル、H1=Lレベル
L1=Lレベル、L2=Hレベル、L3=Hレベル
となる。

【0064】この結果、カウンタ制御回路28から出力されるカウンタ制御信号UP、DOWN、HOLDは、
UP=Lレベル、DOWN=Hレベル、HOLD=Lレベル

となり、Nビット・オーバーフロー・アップ/ダウン・カウンタ31は、ダウンカウント動作を指示されると共に、クロック選択回路30は、周波数の最も低いクロック信号CLK3を選択し、これをNビット・オーバーフロー・アップ/ダウン・カウンタ31に供給することになる。

【0065】この結果、Nビット・オーバーフロー・アップ/ダウン・カウンタ31は、クロックCLK3をダウンカウントすることになるので、その出力信号D0～Dnは現在値から順にデクリメントし、シャント・レギュレータ22のシャント抵抗値は現在値から徐々に大きくなり、電源電圧VCCは電圧値VBから徐々に上昇する。

【0066】そして、電源電圧VCCが電圧値VL1に上昇すると、電圧検出回路27から出力される電圧検出信号H3、H2、H1、L1、L2、L3は、
H3=Lレベル、H2=Lレベル、H1=Lレベル
L1=Hレベル、L2=Hレベル、L3=Hレベル
となる。

【0067】この結果、カウンタ制御回路28から出力されるカウンタ制御信号UP、DOWN、HOLDは、
UP=Hレベル、DOWN=Lレベル、HOLD=Hレベル

となり、Nビット・オーバーフロー・アップ/ダウン・カウンタ31はホールド動作を指示される。

【0068】このようになると、電源電圧VCCが基準電圧範囲VH1～VL1にある限り、シャント・レギュレータ22は、現在の電源電圧VCCを維持するように

10

20

30

40

50

電源電圧VCCを制御することになる。

【0069】ここに、例えば、図3において、pMOSトランジスタ35-k、37-k及びnMOSトランジスタ36-k、38-kのサイズを同一とし、pMOSトランジスタ35-k、37-kの電流駆動能力を同一とし、nMOSトランジスタ36-k、38-kの電流駆動能力を同一とすると、遅延回路32-kにおいては、制御回路23の出力信号Dkの立ち上がりエッジの遅延時間と、立ち下がりエッジの遅延時間とは同一となる。

【0070】このようにすると、接続スイッチをなすnMOSトランジスタ39-0~39-nの中に、ON状態からOFF状態に変化する接続スイッチと、OFF状態からON状態に変化する接続スイッチとが存在する場合に、これら接続スイッチが同時にON状態となる期間が生じてしまう場合がある。

【0071】例えば、図6に示すように、制御回路23の出力信号D0~D2がHレベルからLレベルに変化し、制御回路23の出力信号D3がLレベルからHレベルに変化する場合、接続スイッチをなすnMOSトランジスタ39-0~39-3が同時にON状態となる期間が発生してしまう場合がある。この場合、電源電圧VCCがクロックCLK3の1サイクルごとに電圧値 α Vだけ低下しているとすると、電源電圧VCCは、その時の電圧値から急激に 8α V低下してしまう。

【0072】また、例えば、制御回路23の出力信号D0~D3がHレベルからLレベルに変化し、制御回路23の出力信号D4がLレベルからHレベルに変化する場合、接続スイッチをなすnMOSトランジスタ39-0~39-4が同時にON状態となる期間が発生してしまう場合がある。この場合、電源電圧VCCは、その時の電圧値から急激に 16α V低下してしまう。

【0073】ここに、例えば、電源電圧VCCが基準電圧範囲VH1~VL1の上限値VH1に近づいた場合に、電源電圧VCCが急激に大きく低下すると、データ処理回路18内の低電圧検出回路が、電源電圧VCCが所定の低電圧以下に低下したことを検出し、CPUのメモリに対するアクセスを禁止し、通信異常という事態が発生してしまう。

【0074】また、例えば、図7に示すように、制御回路23の出力信号D0~D3がLレベルからHレベルに変化し、制御回路23の出力信号D4がHレベルからLレベルに変化する場合、接続スイッチをなすnMOSトランジスタ39-0~39-4が同時にON状態となる期間が発生してしまう場合がある。この場合、電源電圧VCCがクロックCLK3の1サイクルごとに電圧値 α Vだけ上昇しているとすると、電源電圧VCCは、その時の電圧値から急激に 15α V低下してしまう。

【0075】また、例えば、制御回路23の出力信号D0~D2がLレベルからHレベルに変化し、制御回路2

3の出力信号D3がHレベルからLレベルに変化する場合、接続スイッチをなすnMOSトランジスタ39-0~39-3が同時にON状態となる期間が発生してしまう場合がある。この場合、電源電圧VCCは、その時の電圧値から急激に 7α V低下してしまう。

【0076】ここに、例えば、電源電圧VCCが基準電圧範囲VH1~VL1の下限値VL1よりも低下している場合において、更に、電源電圧VCCが急激に大きく低下すると、データ処理回路18内に設けられている低電圧検出回路が、電源電圧VCCが所定の低電圧よりも低下したことを検出し、この場合も、CPUのメモリに対するアクセスを禁止し、通信異常という事態が発生してしまう。

【0077】そこで、本発明の第1実施形態15においては、シャント・レギュレータ22の接続スイッチ回路26-kを構成する遅延回路32-kは、制御回路23の出力信号Dkの立ち上がりエッジの遅延時間が立ち下がりエッジの遅延時間よりも長くなるように構成し、接続スイッチ回路26-0~26-nを構成する接続スイッチをなすnMOSトランジスタ39-0~39-nの中に、ON状態からOFF状態に変化する接続スイッチと、OFF状態からON状態に変化する接続スイッチとが存在する場合に、これら接続スイッチが同時にON状態となる期間が発生しないようにし、電源電圧VCCを基準電圧範囲VH1~VL1に戻す過程で電源電圧VCCが急激に大きく低下することがないようにしている。

【0078】また、例えば、図8に示すように、何らかの原因で電源電圧VCCが電圧値VH3よりも高い電圧値VCに上昇した時は、電圧検出回路27から出力される電圧検出信号H3、H2、H1、L1、L2、L3は、
H3=Hレベル、H2=Hレベル、H1=Hレベル
L1=Hレベル、L2=Hレベル、L3=Hレベルとなる。

【0079】この結果、カウンタ制御回路28から出力されるカウンタ制御信号UP、DOWN、HOLDは、UP=Hレベル、DOWN=Lレベル、HOLD=Lレベル

となり、Nビット・オーバーフロー・アップ/ダウン・カウンタ31は、アップカウント動作を指示されると共に、クロック選択回路30は、周波数の最も高いクロック信号CLK1を選択し、これをNビット・オーバーフロー・アップ/ダウン・カウンタ31に供給する。

【0080】この結果、Nビット・オーバーフロー・アップ/ダウン・カウンタ31は、クロックCLK1をアップカウントすることになるので、その出力信号D0~Dnはインクリメントし、シャント・レギュレータ22のシャント抵抗値は、ある値から徐々に小さくなり、電源電圧VCCは電圧値VCから徐々に低下する。

【0081】そして、電源電圧VCCが電圧値VH3に

降下すると、電圧検出回路 27 から出力される電圧検出信号 H3、H2、H1、L1、L2、L3は、
H3=Lレベル、H2=Hレベル、H1=Hレベル
L1=Hレベル、L2=Hレベル、L3=Hレベル
となる。

【0082】この結果、クロック選択回路 30は、クロック CLK1よりも周波数の低いクロック CLK2を選択し、これを Nビット・オーバーフロー・アップ/ダウン・カウンタ 31に供給することになり、電源電圧 VCCは、電圧値 VCから電圧値 VH3に至る期間 T1の時よりも遅い速度で降下することになる。

【0083】そして、電源電圧 VCCが電圧値 VH2に降下すると、電圧検出回路 27 から出力される電圧検出信号 H3、H2、H1、L1、L2、L3は、
H3=Lレベル、H2=Lレベル、H1=Hレベル
L1=Hレベル、L2=Hレベル、L3=Hレベル
となる。

【0084】この結果、クロック選択回路 30は、クロック CLK2よりも更に周波数の低いクロック CLK3を選択し、これを Nビット・オーバーフロー・アップ/ダウン・カウンタ 31に供給することになり、電源電圧 VCCは、電圧値 VH3から電圧値 VH2に至る期間 T2の時よりも遅い速度で降下することになる。

【0085】そして、電源電圧 VCCが電圧値 VH1に降下すると、電圧検出回路 27 から出力される電圧検出信号 H3、H2、H1、L1、L2、L3は、
H3=Lレベル、H2=Lレベル、H1=Lレベル
L1=Hレベル、L2=Hレベル、L3=Hレベル
となる。

【0086】この結果、カウンタ制御回路 28 から出力されるカウンタ制御信号 UP、DOWN、HOLDは、
UP=Hレベル、DOWN=Lレベル、HOLD=Hレベル

となり、Nビット・オーバーフロー・アップ/ダウン・カウンタ 31はホールド動作を指示される。

【0087】このようになると、電源電圧 VCCが基準電圧範囲 VH1~VL1にある限り、シャント・レギュレータ 22は、現在の電源電圧 VCCを維持するように電源電圧 VCCを制御することになる。

【0088】ここに、クロック CLK2、CLK3を使用せず、周波数の最も高いクロック CLK1のみを使用する場合には、電圧検出回路 27 の電圧検出信号 H3~H1、L1~L3の変化が早すぎてしまい、変動した電源電圧 VCCを基準電圧範囲 VH1~VL1に戻す場合において、電源電圧 VCCが基準電圧範囲 VH1~VL1に近づいた場合に、電源電圧 VCCが振動してしまい、電源電圧 VCCを基準電圧範囲 VH1~VL1に安定的に戻すことが困難となってしまう。

【0089】そこで、本発明の第 1実施形態 15においては、電源電圧 VCCの電圧値が電圧範囲 VH3~VL

3を越えており、基準電圧範囲 VH1~VL1と大きく離れている場合には、電源電圧 VCCが振動するおそれはないので、周波数の一番高いクロック CLK1を使用して電源電圧 VCCを高速に電圧範囲 VH3~VL3に戻し、電源電圧 VCCの電圧値が VH3~VL3未満、VH2~VL2以上である場合には、クロック CLK1よりは周波数の低いクロック CLK2を使用して電源電圧 VCCを電圧範囲 VH2~VL2に戻し、電源電圧 VCCの電圧値が VH2~VL2未満、VH1~VL1以上である場合には、最も周波数の低いクロック CLK3を使用し、全体として高速、かつ、安定的に電源電圧 VCCを基準電圧範囲 VH1~VL1に戻すとしている。

【0090】このように、本発明の第 1実施形態 15によれば、電源電圧 VCCが何らかの原因で基準電圧範囲 VH1~VL1の上限値 VH1よりも高くなった時であっても、下限値 VL1よりも低くなった時であっても、電源電圧 VCCを基準電圧範囲 VH1~VL1に戻すことができる。

【0091】また、本発明の第 1実施形態 15においては、シャント・レギュレータ 22のシャント抵抗 25-kの抵抗値は [一定値] × 2^{n-k} とされ、接続スイッチ回路 26-0~26-nは、Nビット・オーバーフロー・アップ/ダウン・カウンタ 31の出力信号 D0~Dnを供給されるように構成されている。

【0092】この結果、シャント・レギュレータ 22は、電源電圧 VCCが基準電圧範囲 VH1~VL1の上限値 VH1より高くなった時は、シャント抵抗値が徐々に小さくなり、電源電圧 VCCが基準電圧範囲 VH1~VL1の下限値 VL1より低くなった時は、シャント抵抗値が徐々に大きくなるように制御されるので、レギュレーション量をほぼ一定として、電源電圧 VCCの変動を基準電圧範囲 VH1~VL1に高速に戻すことができる。

【0093】また、本発明の第 1実施形態 15においては、シャント・レギュレータ 22の接続スイッチ回路 26-kを構成する遅延回路 32-kは、制御回路 23の出力信号 Dkの立ち上がりエッジの遅延時間が立ち下がりエッジの遅延時間よりも長くなるように構成されている。

【0094】この結果、接続スイッチ回路 26-0~26-nを構成する接続スイッチをなす nMOS トランジスタ 39-0~39-nの中に、ON状態から OFF状態に変化する接続スイッチと、OFF状態から ON状態に変化する接続スイッチとが存在する場合に、これら接続スイッチが同時に ON状態となる期間が発生しないようにすることができるので、基準電圧範囲外に変動した電源電圧 VCCを基準電圧範囲 VH1~VL1に戻す過程で、電源電圧 VCCが急激に大きく降下しないようにし、通信異常が発生しないようにすることができる。

【0095】また、本発明の第 1実施形態においては、

周波数の異なる 3 種類のクロック CLK1~CLK3 を選択的に使用するようになっているので、電源電圧 VCC の変動が大きき場合であっても、高速、かつ、安定的に電源電圧 VCC を基準電圧範囲 VH1~VL1 に戻すことができる。

【0096】したがって、本発明の第 1 実施形態によれば、安定した電源環境を得ることができ、電源電圧 VCC の変動による誤動作や、電源電圧 VCC の変動による誤動作が招くデータの損失や、電源電圧 VCC の変動による通信異常を回避することができる。

【0097】第 2 実施形態・図 9、図 10

図 9 は本発明の第 2 実施形態の要部を示す回路図であり、本発明の第 2 実施形態は、制御回路 23 とシャント・レギュレータ 22 との間に CPU 43 によって制御されるセクタ 44 を設け、その他については、図 1 に示す本発明の第 1 実施形態 15 と同様に構成したものである。

【0098】セクタ 44 において、45-0、45-1、45-2、45-n は切換えスイッチであり、切換えスイッチ 45-2~45-n 間に設けられている切換えスイッチ 45-3~45-(n-1) は図示を省略している。

【0099】切換えスイッチ 45-k は、CPU 43 から出力されるセクタ制御信号 SC が H レベルの場合には、制御回路 23 の出力信号 Dk を選択し、これを接続スイッチ回路 26-k に供給し、CPU 43 から出力されるセクタ制御信号 SC が L レベルの場合には、CPU 43 から出力されるスイッチ制御信号 Ek を選択し、これを接続スイッチ回路 26-k に供給するものである。

【0100】図 10 は本発明の第 2 実施形態の電源電圧安定化動作を示すフローチャートであり、本発明の第 2 実施形態においては、リード/ライト・ユニット 11 と本発明の第 2 実施形態を使用する非接触 IC カードとの通信が開始すると（ステップ S1）、制御回路 23 によるシャント・レギュレータ 22 の制御が開始され（ステップ S2）、制御回路 23 による電源電圧 VCC の安定化が終了すると（ステップ S3）、CPU 43 によるシャント・レギュレータ 22 の制御が開始される（ステップ S4）。

【0101】ここに、リード/ライト・ユニット 11 と本発明の第 2 実施形態を使用する非接触 IC カードとの通信距離及びリード/ライト・ユニット 11 からの供給電力が予め分かっており、かつ、これらが一定の場合には、電源電圧 VCC を変化させる原因は本発明の第 2 実施形態内の個別回路の消費電流だけとなる。

【0102】したがって、本発明の第 2 実施形態内の個別回路の消費電流を予め計算しておけば、CPU 43 で個別回路の動作状態は把握できるので、CPU 43 やメモリをハードウェア資源とするソフトウェアでシャント

・レギュレータ 22 の制御を行うことができる。

【0103】そこで、本発明の第 2 実施形態は、制御回路 23 によるシャント・レギュレータ 22 の制御によって電源電圧 VCC が安定化した後は、ソフトウェアを使用した CPU 43 によるシャント・レギュレータ 22 の制御によって電源電圧 VCC の安定を図っている。

【0104】本発明の第 2 実施形態によれば、本発明の第 1 実施形態 15 と同様の作用効果を得ることができると共に、多数の個別回路が同時に動作した場合の電源電圧 VCC の急激な電圧変化にも対応でき、より安定した電源電圧 VCC を得ることができる。

【0105】また、CPU 43 によるシャント・レギュレータ 22 の制御が開始された時は、CPU 43 によって制御回路 23 の動作を停止させるように制御するときは、低消費電力化及び低ノイズ化を図ることができる。

【0106】第 3 実施形態・図 11、図 12

図 11 は本発明の第 3 実施形態の要部を示す回路図であり、本発明の第 3 実施形態は、データ処理回路 18 に含まれる暗号回路や通信モジュール等の個別回路 46、47、48 に対応してシャント・レギュレータ 49、50、51 を設け、これらシャント・レギュレータ 49、50、51 を CPU 43 で制御するようにし、その他については、図 1 に示す本発明の第 1 実施形態 15 と同様に構成したものである。

【0107】シャント・レギュレータ 49 において、52 はシャント抵抗、53 は CPU 43 から出力されるシャント制御信号 F1 によって ON、OFF が制御される接続スイッチであり、シャント・レギュレータ 49 は、接続スイッチ 53 の ON 時には、個別回路 46 が動作状態時に個別回路 46 に流れる電源電流と同一電流値のシャント電流が流れるように構成されている。

【0108】また、シャント・レギュレータ 50 において、54 はシャント抵抗、55 は CPU 43 から出力されるシャント制御信号 F2 によって ON、OFF が制御される接続スイッチであり、シャント・レギュレータ 50 は、接続スイッチ 55 の ON 時には、個別回路 47 が動作状態時に個別回路 47 に流れる電源電流と同一電流値のシャント電流が流れるように構成されている。

【0109】また、シャント・レギュレータ 51 において、56 はシャント抵抗、57 は CPU 43 から出力されるシャント制御信号 F3 によって ON、OFF が制御される接続スイッチであり、シャント・レギュレータ 51 は、接続スイッチ 57 の ON 時には、個別回路 48 が動作状態時に個別回路 48 に流れる電源電流と同一電流値のシャント電流が流れるように構成されている。

【0110】図 12 は本発明の第 3 実施形態の電源電圧安定化動作を示すフローチャートであり、本発明の第 3 実施形態においては、リード/ライト・ユニット 11 と本発明の第 3 実施形態を使用する非接触 IC カード 13 との通信が開始すると（ステップ P1）、制御回路 23

によるシャント・レギュレータ22の制御が開始される(ステップP2)。この場合、シャント・レギュレータ49～51が動作状態となるように制御する。

【0111】そして、制御回路23によるシャント・レギュレータ22の制御によって電源電圧VCCの安定化が終了すると(ステップP3)、必要に応じてCPU43によりシャント・レギュレータ49～51が制御される(ステップP4)。

【0112】本発明の第3実施形態によれば、本発明の第1実施形態と同様の作用効果を得ることができると共に、個別回路46～48に対応したシャント・レギュレータ49～51を備えているので、個別回路46～48が同時に(多数の個別回路が同時に)動作した場合の急激な電圧変化にも対応でき、より安定した電源電圧が得られ、しかも、本発明の第2実施形態のように、CPU43が必要とするシャント・レギュレータ22を制御するための演算が不必要となるので、シャント・レギュレータ22の制御が本発明の第2実施形態の場合よりも容易となる。

【0113】ここで、本発明の内容を整理すると、本発明には、少なくとも、以下の非接触ICカード用LSIが含まれる。

【0114】(1) 受信信号を整流して電源電圧を生成する整流回路を備える非接触ICカード用LSIであって、前記電源電圧の供給路と接地との間に接続され、シャント抵抗値を制御可能とされたシャント・レギュレータと、前記電源電圧が基準電圧範囲の上限値より高くなった時は、シャント抵抗値が徐々に小さくなり、前記電源電圧が前記基準電圧範囲の下限值より低くなった時は、シャント抵抗値が徐々に大きくなり、前記電源電圧が前記基準電圧範囲にある時は、シャント抵抗値を変化させないように、シャント・レギュレータを制御する制御回路を備えていることを特徴とする非接触ICカード用LSI。

【0115】(2) 前記(1)に記載の非接触ICカード用LSIにおいて、前記シャント・レギュレータは、シャント抵抗と接続スイッチ回路とを直列接続した第1、第2・・・第n+1の単位シャント・レギュレータを並列接続して構成されていることを特徴とする非接触ICカード用LSI。

【0116】(3) 前記(2)に記載の非接触ICカード用LSIにおいて、第kの単位シャント・レギュレータのシャント抵抗の抵抗値は、 $[\text{一定値}] \times 2^{n+1-k}$ とされていることを特徴とする非接触ICカード用LSI。

【0117】(4) 前記(3)に記載の非接触ICカード用LSIにおいて、前記接続スイッチ回路は、シャント抵抗と直列接続された接続スイッチと、前記制御回路から出力される制御信号を前記接続スイッチに供給する遅延回路を備え、前記遅延回路は、前記接続スイッチ

をオンさせるエッジの遅延時間が前記接続スイッチをオフさせるエッジの遅延時間よりも長くなるように構成されていることを特徴とする非接触ICカード用LSI。

【0118】(5) 前記(3)又は(4)に記載の非接触ICカード用LSIにおいて、前記制御回路は、前記電源電圧の電圧値を検出する電圧検出回路と、Nビット・オーバーフロー・アップ/ダウン・カウンタと、前記電圧検出回路が、前記電源電圧が前記基準電圧範囲より高くなったことを検出した時は、前記Nビット・オーバーフロー・アップ/ダウン・カウンタにダウンカウント動作を指示し、前記電圧検出回路が、前記電源電圧が前記基準電圧範囲より低くなったことを検出した時は、前記Nビット・オーバーフロー・アップ/ダウン・カウンタにアップカウント動作を指示し、前記電圧検出回路が、前記電源電圧が前記基準電圧範囲にあることを検出した時は、前記Nビット・オーバーフロー・アップ/ダウン・カウンタにホールド動作を指示するカウンタ制御回路を備え、第1、第2・・・第n+1の単位シャント・レギュレータの接続スイッチ回路は、それぞれ、スイッチ制御信号として、Nビット・オーバーフロー・アップ/ダウン・カウンタの出力信号D0(LSB)、D1・・・Dn(MSB)が供給されることを特徴とする非接触ICカード用LSI。

【0119】(6) 前記(3)、(4)又は(5)に記載の非接触ICカード用LSIにおいて、周波数の異なる複数のクロック信号を発生するクロック・ジェネレータと、前記電源電圧の電圧値の前記基準電圧範囲からの差が大きいほど、より周波数の高いクロック信号を選択するクロック信号選択回路を備え、前記Nビット・オーバーフロー・アップ/ダウン・カウンタは、前記クロック信号選択回路が選択するクロック信号をカウントするように構成されていることを特徴とする非接触ICカード用LSI。

【0120】(7) 前記(1)～(6)のいずれかに記載の非接触ICカード用LSIにおいて、前記制御回路からシャント・レギュレータに供給するスイッチ制御信号でロード・スイッチ変調回路を制御するように構成されていることを特徴とする非接触ICカード用LSI。

【0121】(8) 前記(7)に記載の非接触ICカード用LSIにおいて、前記ロード・スイッチ変調回路は、ロード抵抗と接続スイッチ回路とを直列接続した第1、第2・・・第n+1の単位ロード・スイッチ変調回路を並列接続して構成されていることを特徴とする非接触ICカード用LSI。

【0122】(9) 前記(8)に記載の非接触ICカード用LSIにおいて、第kの単位シャント・レギュレータのロード抵抗の抵抗値は、 $[\text{一定値}] \times 2^{n+1-k}$ とされていることを特徴とする非接触ICカード用LSI。

【0123】(10) 前記(9)に記載の非接触ICカード用LSIにおいて、前記接続スイッチ回路は、シャント抵抗と直列接続された接続スイッチと、前記制御回路から出力される制御信号を前記接続スイッチに供給する遅延回路を備え、前記遅延回路は、前記接続スイッチをオンさせるエッジの遅延時間が前記接続スイッチをオフさせるエッジの遅延時間よりも長くなるように構成されていることを特徴とする非接触ICカード用LSI。

【0124】(11) 前記(9)又は(10)に記載の非接触ICカード用LSIにおいて、第1、第2・・・第n+1の単位ロード・スイッチ変調回路の接続スイッチ回路は、それぞれ、スイッチ制御信号として、前記Nビット・オーバーフロー・アップ/ダウン・カウンタの出力信号D0(LSB)、D1・・・Dn(MSB)が供給されることを特徴とする非接触ICカード用LSI。

【0125】(12) 前記(1)～(11)のいずれかに記載の非接触ICカード用LSIにおいて、前記制御回路によるシャント・レギュレータによる制御と、CPUによる前記シャント・レギュレータによる制御とを切り換えて行うことができるように構成されていることを特徴とする非接触ICカード用LSI。

【0126】(13) 前記(1)～(11)のいずれかに記載の非接触ICカード用LSIにおいて、前記電源電圧を使用する個別回路ごとに、前記電源電圧を使用する個別回路に流れる電源電流と同一電流値ないし略同一電流値のシャント電流を流すことができるシャント・レギュレータを備え、CPUにより前記シャント・レギュレータを制御するように構成されていることを特徴とする非接触ICカード用LSI。

【0127】

【発明の効果】以上のように、本発明によれば、シャント・レギュレータは、制御回路によって、電源電圧が基準電圧範囲の上限値より高くなった時は、シャント抵抗値が徐々に小さくなり、電源電圧が基準電圧範囲の下限値より低くなった時は、シャント抵抗値が徐々に大きくなり、電源電圧が基準電圧範囲にある時は、シャント抵抗値を変化させないように制御される構成としたことにより、電源電圧が変動した場合、シャント・レギュレータにおけるレギュレーション量をほぼ一定として電源電

圧を高速に基準電圧範囲に戻すことができるので、安定した電源環境を得ることができ、電源電圧の変動による誤動作や、電源電圧の変動による誤動作が招くデータの損失や、電源電圧の変動による通信異常などを回避することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を含む非接触ICカード・システムの要部を示す回路図である。

【図2】本発明の第1実施形態が備えるシャント・レギュレータ及び制御回路の構成を示す回路図である。

【図3】本発明の第1実施形態が備えるシャント・レギュレータが備える接続スイッチ回路の構成を示す回路図である。

【図4】本発明の第1実施形態が備えるシャント・レギュレータが備える接続スイッチ回路が備える遅延回路の動作を示す波形図である。

【図5】本発明の第1実施形態が備えるロード・スイッチ変調回路及び接続スイッチ回路の構成を示す回路図である。

【図6】本発明の第1実施形態の動作を説明するための波形図である。

【図7】本発明の第1実施形態の動作を説明するための波形図である。

【図8】本発明の第1実施形態の動作を説明するための波形図である。

【図9】本発明の第2実施形態の要部を示す回路図である。

【図10】本発明の第2実施形態の電源電圧安定化動作を示すフローチャートである。

【図11】本発明の第3実施形態の要部を示す回路図である。

【図12】本発明の第3実施形態の電源電圧安定化動作を示すフローチャートである。

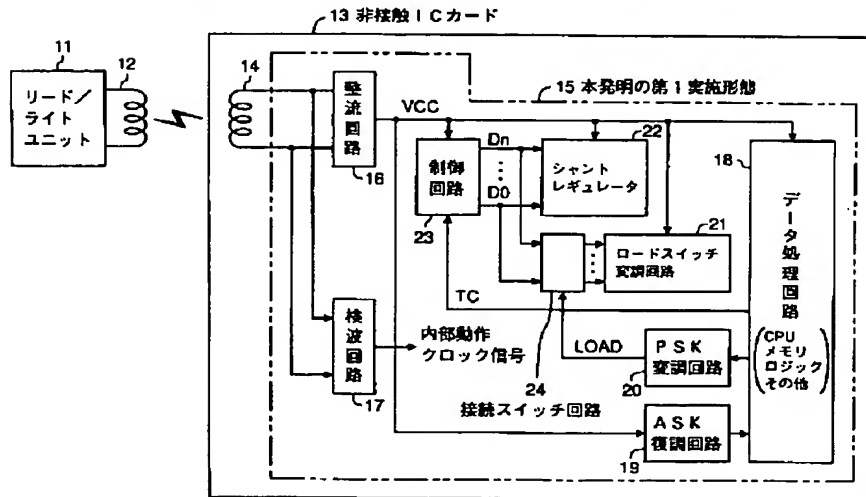
【図13】従来の非接触ICカード用LSIの一例を含む非接触ICカード・システムの要部を示す回路図である。

【符号の説明】

VCC 電源電圧
D0～Dn 制御信号
LOAD ロード信号
TC 送信制御信号

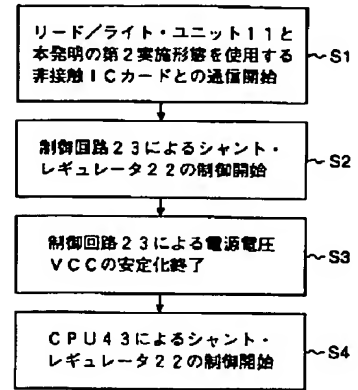
【図1】

本発明の第1実施形態を含む非接触ICカード・システムの要部を示す回路図



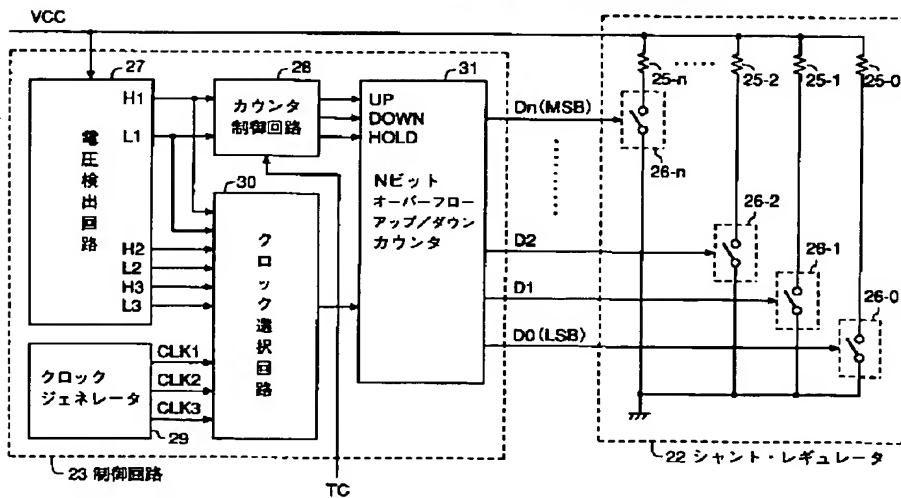
【図10】

本発明の第2実施形態の電源電圧安定化動作を示すフローチャート



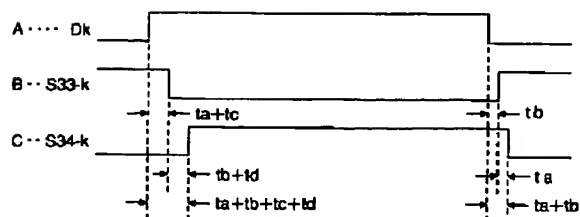
【図2】

シャント・レギュレータ22及び制御回路23の構成を示す回路図



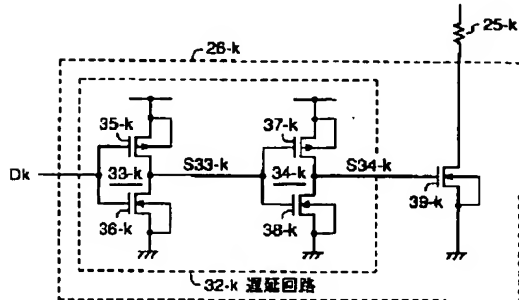
【図4】

遅延回路32-kの動作を示す波形図



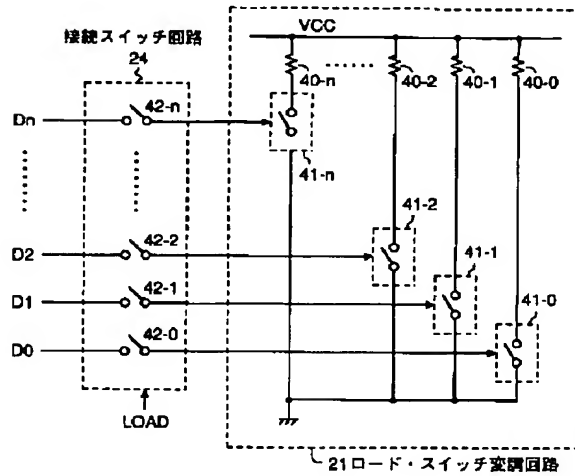
【図3】

接続スイッチ回路26-kの構成を示す回路図



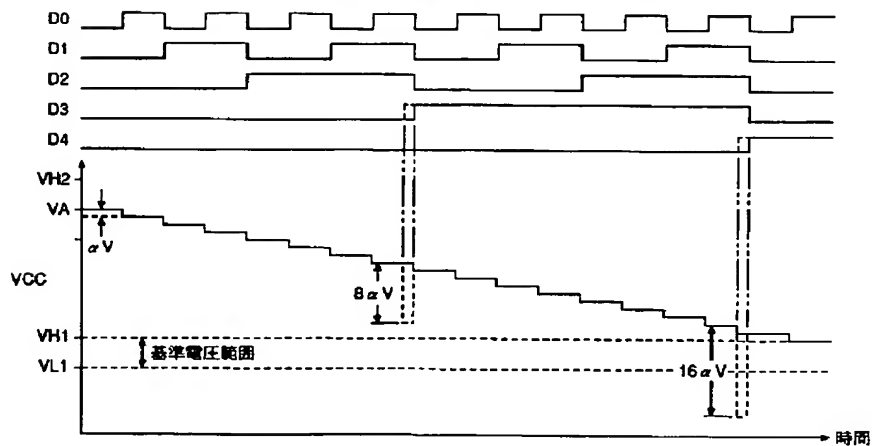
【図5】

ロード・スイッチ変調回路21及び接続スイッチ回路24の構成を示す回路図



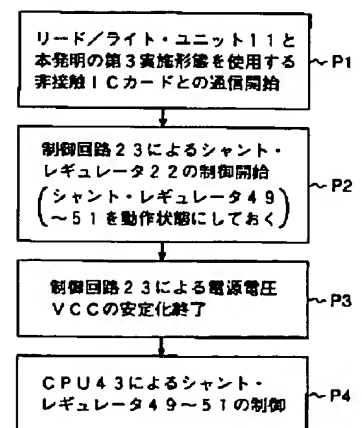
【図6】

本発明の第1実施形態の動作を説明するための波形図



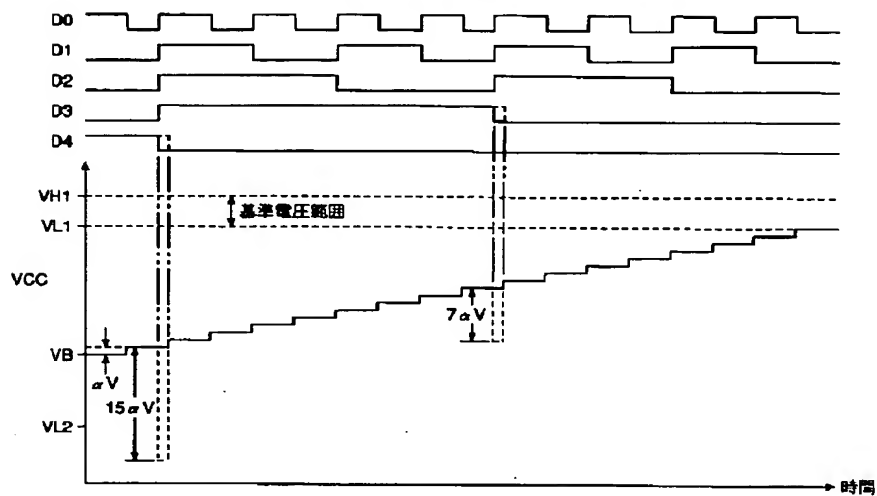
【図12】

本発明の第3実施形態の電源電圧安定化動作を示すフローチャート



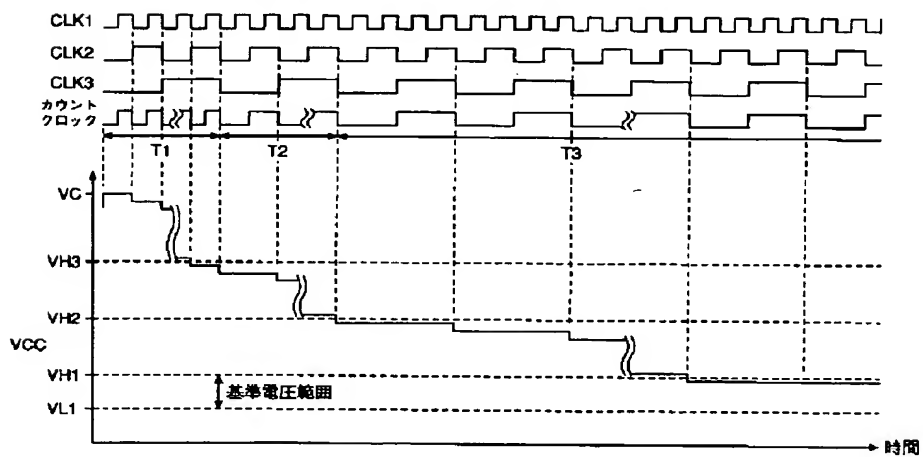
【図7】

本発明の第1実施形態の動作を説明するための波形図



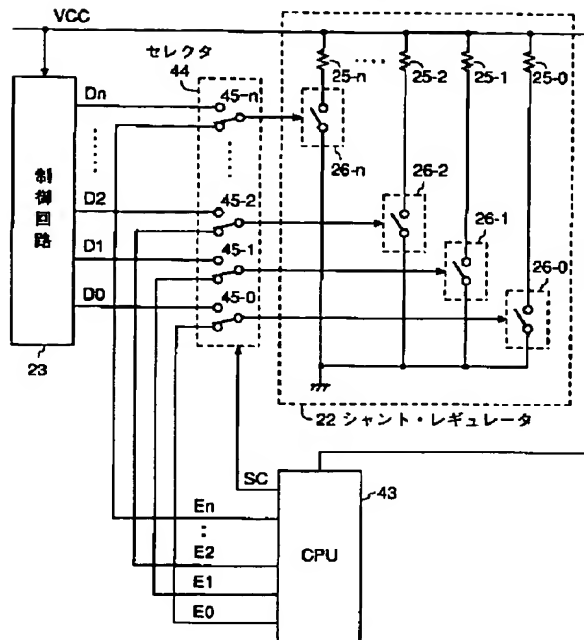
【図8】

本発明の第1実施形態の動作を説明するための波形図



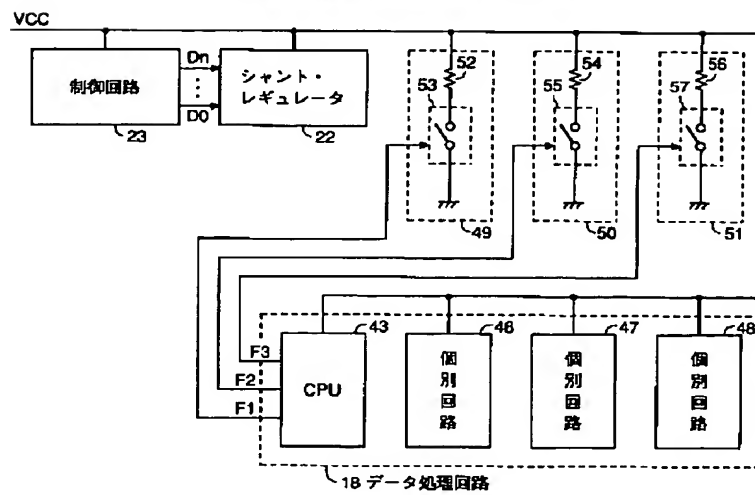
【図9】

本発明の第2実施形態の要部



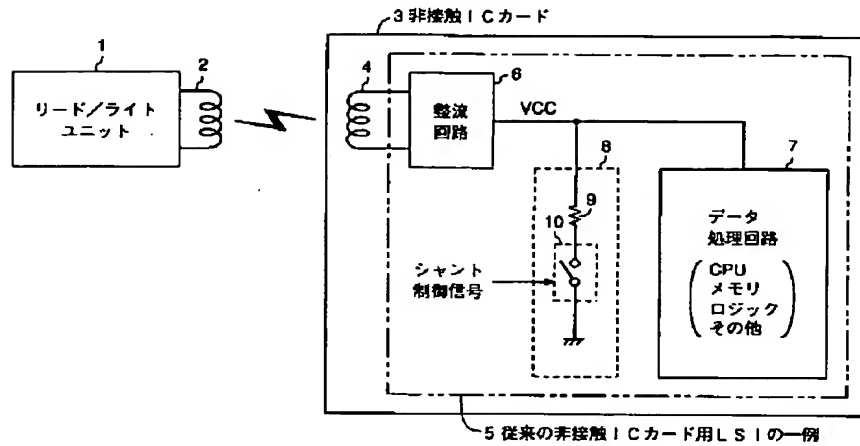
【図11】

本発明の第3実施形態の要部を示す回路図



【図13】

従来の非接触ICカード用LSIの一例を含む非接触ICカード・システムの要部を示す回路図



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード（参考）